

STIC Translation Branch Request Form for Tra

Phone: 308-0881 Crystal Plaza 4, Room 2C15 <http://ptoweb/patents/stic/stic-t>

PTO 2003-5428

S.T.I.C. Translations Branch

Information in shaded areas is required

Fill out a separate Request Form for each document

U. S. Serial No. : 09/ 881, 675

Requester's Name: THIEN TRAN

Phone No. : 703-308-4108

Office Location: CP4- 4A05

Art Unit/Org. : 2811

Is this for the Board of Patent Appeals? YES

Date of Request: 09-05-03

Date Needed By: ASAP by 09-12-03

(Please indicate a specific date)

Document Identification (Select One):

Note: If submitting a request for patent translation, it is not necessary to attach a copy of the document with the request.

If requesting a non-patent translation, please attach a complete, legible copy of the document to be translated to this form and submit it at your EIC or a STIC Library.

1. X Patent Document No. 11-284170

Country Code JP

Publication Date 01-15, 1999

Language JAPANESE

RECEIVED
2003 SEP -5 PM 4:40
TRANSLATION DIVISION
USPTO SCIENTIFIC LIBRARY

No. of Pages _____ (filled by STIC)

2. Article Author _____

Language _____

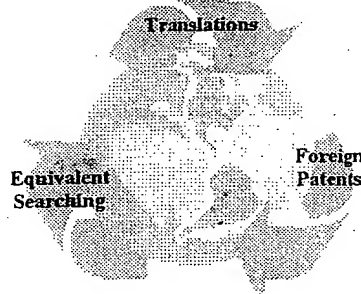
Country _____

3. Other Type of Document _____

Country _____

Language _____

Translations Branch
The world of foreign prior art to you.



To assist us in providing the most cost effective service, please answer these questions:

- > Will you accept an English Language Equivalent? (Yes/No)
- > Would you like to review this document with a translator prior to having a complete written translation? (Yes/No)
(Translator will call you to set up a mutually convenient time)
- > Would you like a Human Assisted Machine translation? (Yes/No)
Human Assisted Machine translations provided by Derwent/Schreiber is the default for Japanese Patents 1993 onwards with an Average 5-day turnaround.

OKT Copy E-Manus 9.11.03

STIC USE ONLY

Copy/Search 12

Processor: _____

Date assigned: _____

Date filled: _____

Equivalent found: (Yes/No) X

Doc. No.: _____

Country: _____

Translation

Date logged in: 9.8.03

PTO estimated words: 9 2662

Number of pages: _____

In-House Translation Available: _____

In-House: _____

Translator: _____

Assigned: _____

Returned: _____

Contractor: SC

Name: _____

Priority: 9.8.03

Sent: 9.11.03

Returned: _____



PTO 03-5428

Japanese Kokai Patent Application
No. Hei 11[1999]-284176

SEMICONDUCTOR DEVICE

Hitaki Ichii, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. SEPTEMBER 2003
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

JAPANESE PATENT OFFICE
PATENT JOURNAL
KOKAI PATENT APPLICATION NO. HEI 11[1999]-284176

Int. Cl. ⁶ :	H 01 L 29/78 21/60 29/43
Filing No.:	Hei 10[1998]-80801
Filing Date:	March 27, 1998
Publication Date:	October 15, 1999
No. of Claims:	5 (Total of 5 pages; OL4)
Examination Request:	Not filed

SEMICONDUCTOR DEVICE

[Handotai sochi]

Inventors:	Hitaki Ichii, et al.
Applicant:	000005108 Hitachi Ltd. 000233273 Hitachi Hara-cho Electronic Industry Ltd.

[There are no amendments to this patent.]

* * *

Claims

1. A semiconductor device characterized by the following facts: the semiconductor has a first semiconductor layer of a first electroconductivity type, a second semiconductor layer of a second electroconductivity type formed on the surface of the first semiconductor [layer], a third semiconductor layer of the first electroconductivity type formed in the second semiconductor

layer, a gate oxide film formed on the surfaces of the third semiconductor layer, the second semiconductor layer, and the first semiconductor layer, a gate electrode formed on the gate oxide film, an insulating film that covers the gate electrode, an electrode that is formed on the insulating film and has ohmic contact with the second and third semiconductor layers, and wires formed on the electrode; in this semiconductor device, the aforementioned electrode is made of pure aluminum, and there is a barrier layer formed between the electrode and the insulating film.

2. The semiconductor device described in Claim 1, characterized by the fact that the barrier layer is made of molybdenum silicide.

3. The semiconductor device described in Claim 2, characterized by the fact that the thickness of molybdenum silicide is 600 Å or larger.

4. A module using the semiconductor device described in any one of Claims 1-3.

5. An inverter device using the module described in Claim 4.

Detailed explanation of the invention

[0001]

Industrial application field

The present invention pertains to a semiconductor device having MOS gate.

[0002]

Prior art

In an element having power MOSFET or insulated gate bipolar transistor (referred to as IGBT hereinafter) or other MOS gate and used for controlling a large current, many MOS cells are formed on the surface, and current flows along the length. Figure 1 shows an example of the cross-sectional structure of IGBT. An n^- layer is formed on a p^+ layer, and many p layers are formed on the surface of the n^- layer. n^+ layers are formed inside the p layers. Also, a gate oxide film is formed on the surface over the n^+ layers, p layers, and n^- layer, and MOS gate is formed on the gate oxide film to form the MOS gate. The gate electrode is covered by an insulating film to be insulated from the emitter electrode that covers the surface. The emitter electrode has ohmic contact with the p layers and the n^+ layers. On the opposite side (back side), a back electrode has ohmic contact with the p^+ layer and acts as the collector electrode.

[0003]

For the element with the aforementioned structure, in the conventional technology, a pad is formed in the area where the MOS gate is absent, followed by wire bonding. However, in order to increase the conductive area, wire bonding is usually performed on the emitter electrode directly.

[0004]

Problems to be solved by the invention

Aluminum silicon alloy has been used as the material for emitter electrode. The reason is that the pn junction will be destroyed by diffusion of silicon into aluminum if pure aluminum is used. Since large current flows in power MOSFET or IGBT, wires with a diameter of several hundred μm are used. In order to alleviate the impact when bonding these wires, aluminum silicon alloy thicker (3 μm or more) than that used for LSI is deposited. Therefore, silicon residues where the silicon in the aluminum silicon alloy can concentrate tend to grow during the deposition. Since the silicon residues are deposited and become larger, the area near the surface becomes smaller and thicker. As a result, the area near the surface becomes a sharp shape. If wires hit on these silicon residues, the force will be concentrated at the tips of the silicon residues to introduce cracks into the insulating film. As a result, the insulation between the emitter electrode and the gate electrode will be destroyed. The purpose of the present invention is to provide a semiconductor device that can improve the yield during wire bonding while maintaining the main breakdown voltage yield on the same level as that in the conventional technology.

[0005]

Means to solve the problems

In order to solve this problem, the present invention provides a semiconductor device having a MOS gate and an emitter electrode formed on it and also having wires bonded to the emitter electrode. In this semiconductor device, the emitter electrode is made of pure aluminum, and a barrier layer is formed between the emitter electrode and the MOS gate.

[0006]

The silicon residues can be prevented by using pure aluminum. In this way, the cracks occurring during wire bonding can be prevented, and the yield during the wire bonding can be improved. In addition, since the damage to the pn junction caused by diffusion of silicon into the aluminum can be prevented by the barrier layer, the main breakdown voltage yield can be maintained on the same level as that in the conventional technology.

[0007]

Embodiment of the invention

In the following, application examples will be explained in detail with reference to figures. Figure 2 shows the first application example of the present invention. Multiple p layers

(2) are formed on the surface of n^- layer (1). n^+ layers (3) are formed inside p layers (2). Also, gate oxide film (10) is formed on the surface over n^+ layers (3), p layers (2), and n^- layer (1), and gate electrode (11) is formed on the gate oxide film to form the MOS gate. Gate electrode (11) is covered by insulating film (12) to be insulated from emitter electrode (20) that covers the surface. Emitter electrode (20) has ohmic contact with p layers (2) and n^+ layers (3). Wires (30) are bonded to emitter electrode (20). Also, a barrier layer (21) is formed between emitter electrode (20) and insulating film (12). Emitter electrode (20) is made of pure aluminum.

[0008]

Silicon residues can be prevented by using pure aluminum. In this way, the cracks occurring during wire bonding can be prevented, and the yield during the wire bonding can be improved. In addition, since the damage to the pn junction caused by diffusion of silicon into the aluminum can be prevented by the barrier layer, the main breakdown voltage yield can be maintained on the same level as that in the conventional technology.

[0009]

It is preferred to use molybdenum silicide as the material of barrier layer (20) because it has small contact resistance with silicon, can stand high-temperature heat treatment, and is conformable with the conventional silicon process. However, if the barrier layer is too thin, silicon will diffuse to lower the main breakdown voltage yield. Figure 3 shows the relationship between the thickness of the molybdenum silicide and the main breakdown voltage yield. The main breakdown defect rate becomes 0 when the thickness of the molybdenum silicide 600 Å or larger. Consequently, the barrier layer must be 600 Å or thicker when molybdenum silicide is used.

[0010]

Figure 4 shows an example when the semiconductor device of the present invention is assembled into a module. Collector wiring (51), emitter wiring (52), and gate wiring (53) are arranged on insulating substrate (50). Chip (60) is arranged on collector wiring (51) and is connected to the collector through collector wiring (51) and a back electrode that is not shown in the figure. Gate pad (40) is arranged on the surface of chip (60). Also, in the conductive area, the protective film is partially removed to arrange emitter pads (41). Gate pad (40) and gate wiring (53) are connected by gate wire (31). Emitter pad (41) and emitter wiring (52) are connected by emitter wire (32). In the conventional technology, if the wires are bonded with a large force, cracks caused by silicon residues usually occur. Therefore, the wires are bonded with a small force. In the semiconductor device of the present invention, since there is no silicon residue,

bonding can be performed with a force larger than that in the conventional technology. Therefore, when current is applied repeatedly to the wires, the service life until the wires fall off can be extended.

[0011]

Figure 5 shows an example of a motor driving inverter circuit constituted using the semiconductor device of the present invention. The symbol in the figure only shows one semiconductor device. However, multiple semiconductor devices are connected in parallel for flow of high current. Two semiconductor devices are connected in series to form one phase. The output goes out from the middle point of the connection between the semiconductor devices and is connected to motor (206). The collectors of semiconductor devices (200a), (200b), (200c), (200d) on the upper arm side are shared and connected to the high-potential side of a rectifier circuit. Also, the emitters of semiconductor devices (200d), (200e), (200f) on the lower arm side are shared and connected to the earth side of the rectifier circuit. Rectifier circuit (203) converts alternating current (202) into direct current. Semiconductor device (200) receives the direct current and converts it to the alternating current again to drive the motor. The upper and lower driving circuits (204) and (205) transfer driving signals to the gate of the semiconductor device to turn on/off the semiconductor device at a prescribed period. In a module where the semiconductor device of the present invention is incorporated, when current flows repeatedly in the wires, the time before the wires fall off becomes longer. Therefore, the reliability of the wires can be improved.

[0012]

Effect of the invention

Silicon residues can be prevented by using pure aluminum. In this way, the cracks occurring during wire bonding can be prevented, and the yield during the wire bonding can be improved. In addition, since the damage to the pn junction caused by diffusion of silicon into the aluminum can be prevented by the barrier layer, the main breakdown voltage yield can be maintained on the same level as that in the conventional technology.

Brief description of the figures

Figure 1

Figure 1 shows a conventional example.

Figure 2

Figure 2 shows an application example of the present invention.

Figure 3

Figure 3 shows the relationship between the molybdenum thickness and the main breakdown voltage defect.

Figure 4

Figure 4 shows a module using the semiconductor device of the present invention.

Figure 5

Figure 5 shows an inverter circuit using the IGBT of the present invention.

Explanation of symbols

1	n ⁻ layer
2	p layer
3	n ⁺ layer
10	Gate oxide film
11	Gate electrode
12	Insulating film
20	Pure aluminum
21	Barrier layer
30	Wire
31	Gate wire
32	Emitter wire
40	Gate pad
41	Emitter pad
51	Collector wiring
52	Emitter wiring
53	Gate wiring
60	Chip
200	IGBT
201	Diode
202	AC power supply
203	Rectifier circuit
204	Upper arm driving circuit
205	Lower arm driving circuit
206	Motor

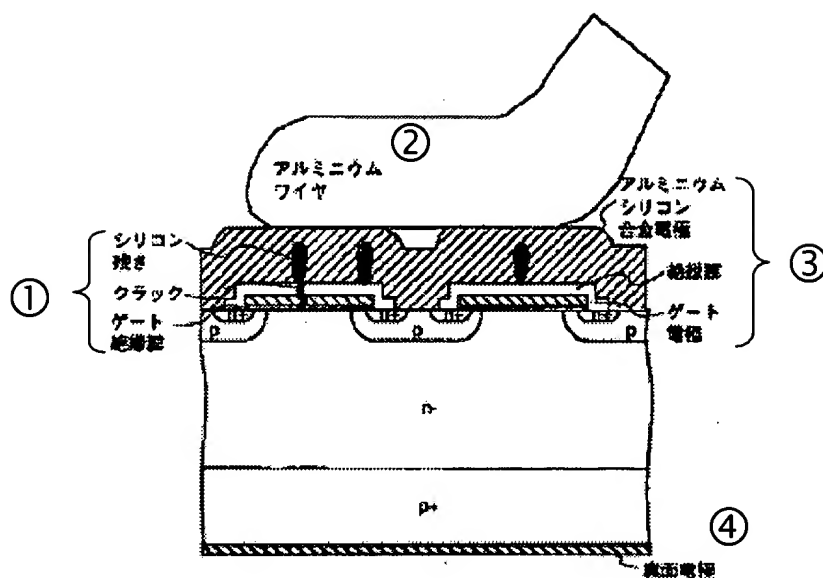


Figure 1

- Key:
- | | |
|---|----------------------------------|
| 1 | Silicon residue |
| | Crack |
| | Gate insulated film |
| 2 | Aluminum wire |
| 3 | Aluminum silicon alloy electrode |
| | Insulating film |
| | Gate electrode |
| 4 | Back electrode |

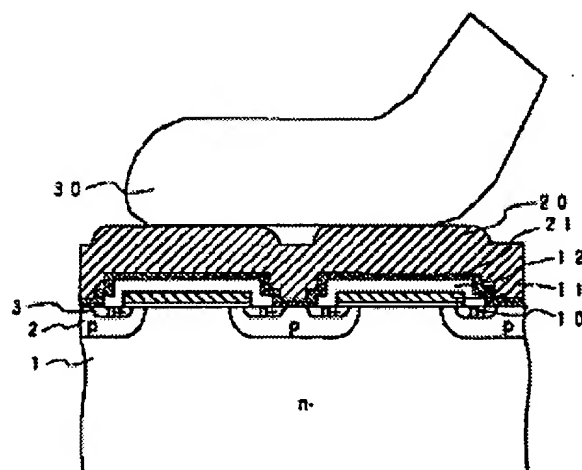


Figure 2

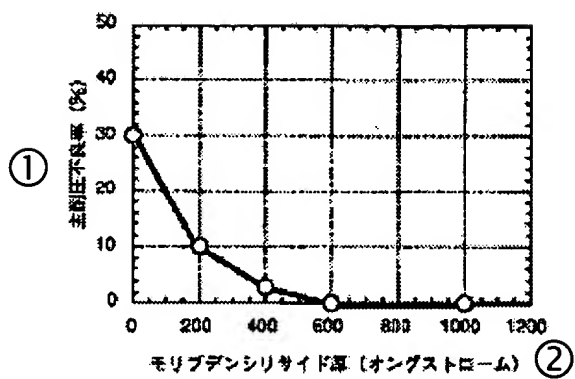


Figure 3

Key: 1 Main breakdown voltage defect rate
2 Thickness of molybdenum silicide (Angstroms)

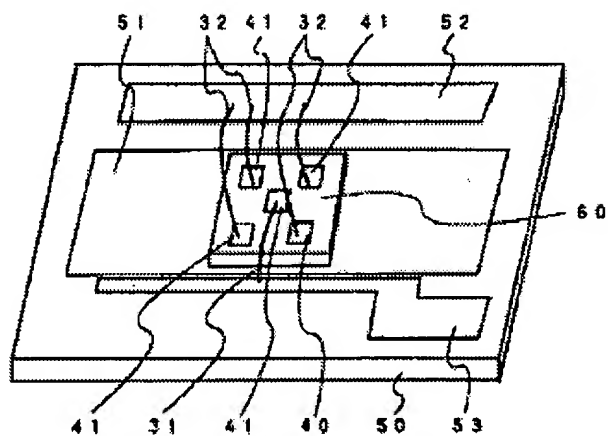


Figure 4

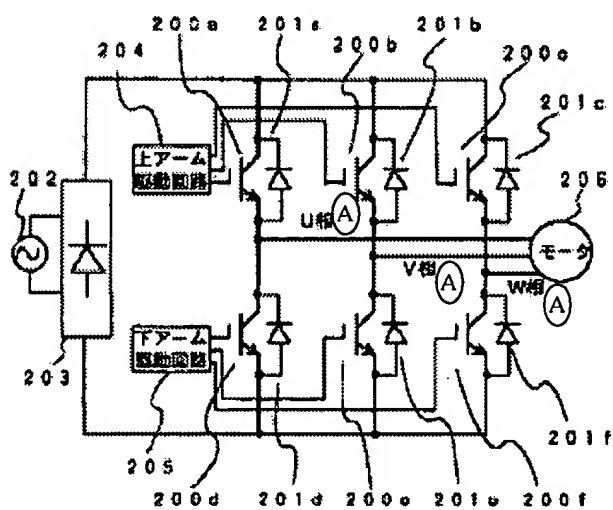


Figure 5

Key: A ___ phase
204 Upper arm driving circuit
205 Lower arm driving circuit
206 Motor

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284176

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁸

H 0 1 L 29/78

21/60

29/43

識別記号

3 0 1

F I

H 0 1 L 29/78

21/60

29/46

6 5 2 M

3 0 1 P

T

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21) 出願番号

特願平10-80801

(22) 出願日

平成10年(1998) 3月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233273

日立原町電子工業株式会社

茨城県日立市弁天町3丁目10番2号

(72) 発明者 桜井 直樹

茨城県日立市幸町三丁目1番1号 株式会

社日立製作所日立工場内

(72) 発明者 花岡 宏明

茨城県日立市幸町三丁目1番1号 株式会

社日立製作所日立工場内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置

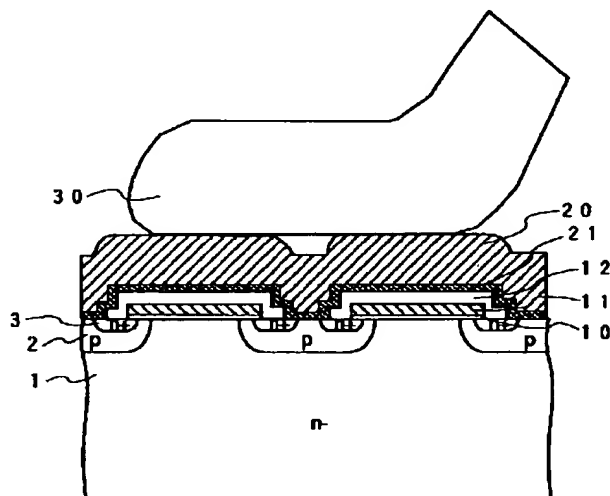
(57) 【要約】

【課題】従来と同等の主耐圧歩留まりを維持したまま、ワイヤボンディング時の歩留まりを向上した半導体装置を提供する。

【解決手段】エミッタ電極に純粋なアルミニウムが設けられ、かつエミッタ電極とMOSゲート間にバリア層を設ける。

【効果】純粋なアルミニウムを使用することによりシリコン残さがなくなると共に、シリコン中へのアルミ拡散が防止される。これにより、主耐圧を劣化させることなくワイヤボンディング時に発生するクラックを防止でき、ワイヤボンディング時の歩留まりを向上できる。

図 2



【特許請求の範囲】

【請求項1】第1導電型の第1の半導体層と第1の半導体の表面より形成された第2導電型の第2の半導体層と第2の半導体層中に形成された第1導電型の第3の半導体層と第3の半導体層、第1の半導体層、第2の半導体層表面に形成されたゲート酸化膜とゲート酸化膜上に形成されたゲート電極とゲート電極をおおう絶縁膜と絶縁膜上に形成され、第2及び第3の半導体層とオーミック接触する電極と電極上に設けられたワイヤを有する半導体装置において上記電極は純粋なアルミニウムであり、かつ電極と絶縁膜間にバリア層が設けられていることを特徴とする半導体装置。

【請求項2】請求項1の半導体装置において、バリア層がモリブデンシリサイドであることを特徴とする半導体装置。

【請求項3】請求項2の半導体装置において、モリブデンシリサイドの厚さが600オングストローム以上であることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれか1項の半導体装置を使用したモジュール。

【請求項5】請求項4のモジュールを使用したインバータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOSゲートを有する半導体装置に関する。

【0002】

【従来の技術】パワーMOSFETや絶縁ゲートバイポーラトランジスタ（Insulated gate bipolar transistor以下IGBTと称す）などのMOSゲートをもちかつ大きな電流を制御する素子では、表面に多数のMOSセルを形成し、縦方向に電流を流す。図1にIGBTを例として断面構造を示す。p⁺層上にn⁻層が形成され、n⁻層表面より多数のp層が形成されている。p層内部には、n⁺層が形成されている。また、n⁺層、p層、n⁻層にわたって表面にゲート酸化膜、さらにその上にゲート電極が設けられMOSゲートを構成している。ゲート電極は絶縁膜によりおおわれ、表面をおおうエミッタ電極と絶縁されている。エミッタ電極はp層とn⁺層にオーミック接触している。また反対面（裏面）にはp⁺層と裏面電極がオーミック接触し、コレクタ電極となっている。

【0003】上記の構造の素子では、従来は、MOSゲートを設けないところにパットを設けワイヤボンディングする方法であったが、導通面積を増やすために、エミッタ電極に直接ワイヤボンディングする方法が一般的に利用されるようになっている。

【0004】

【発明が解決しようとする課題】従来は、エミッタ電極

れは、純粋なアルミニウムではシリコンがアルミニウムに拡散するため、pn接合が破壊されるため、それを防止するためである。パワーMOSFETやIGBTでは大きな電流が流れるため、ワイヤは数100μmの太いものを使用する。このワイヤをボンディングするときの衝撃を緩和するためLSIで使われるより厚い（3μm以上）アルミニウムシリコン合金を堆積して使用している。このため、堆積中にアルミニウムシリコン合金中のシリコンが集まってできるシリコン残さが成長しやすい。シリコン残さは堆積とともに大きくなるため表面付近の面積は小さく厚くあるに従って大きくなる。このため、表面付近がとがった形状となる。このシリコン残さ上にワイヤが打たれると、シリコン残さ先端に力が集中し、絶縁膜にクラックが入り、エミッタ電極とゲート電極の絶縁が破壊されるという問題があった。本発明は、従来と同等の主耐圧歩留まりを維持したまま、ワイヤボンディング時の歩留まりを向上した半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、上記問題を解決するため、MOSゲートとその上にエミッタ電極が設けられさらにエミッタ電極にワイヤがボンディングされている半導体装置において、エミッタ電極に純粋なアルミニウムが設けられ、かつエミッタ電極とMOSゲート間にバリア層を設けるものである。

【0006】純粋なアルミニウムを使用することによりシリコン残さをなくすることができる。これによりワイヤボンディング時に発生するクラックを防止できワイヤボンディング時の歩留まりを向上できる。さらに、バリア層によりシリコンがアルミニウムに拡散しpn接合が破壊するのを防止できるため、従来と同等の主耐圧歩留まりが得られる。

【0007】

【発明の実施の形態】以下実施例を図面を使って、詳細に説明する。図2は、本発明の第1の実施例を示す。n⁻層表面より多数のp層2が形成されている。p層2内部には、n⁺層3が形成されている。また、n⁺層3、p層2、n⁻層1にわたって表面にゲート酸化膜10、さらにその上にゲート電極11が設けられMOSゲートを構成している。ゲート電極11は絶縁膜12によりおおわれ、表面をおおうエミッタ電極20と絶縁されている。エミッタ電極20はp層2とn⁺層3にオーミック接触している。エミッタ電極20上にはワイヤ30がボンディングされている。また、エミッタ電極20と絶縁膜12間にはバリア層21が設けられている。エミッタ電極20は純粋なアルミニウムにより形成されている。

【0008】純粋なアルミニウムを使用することによりシリコン残さをなくすることができる。これによりワイヤ

ンディング時の歩留まりを向上できる。さらに、バリア層によりシリコンがアルミニウムに拡散しp n接合が破壊するのを防止できるため、従来と同等の主耐圧歩留まりが得られる。

【0009】バリア層20としては、シリコンとの接触抵抗が小さいこと、高温の熱処理に耐えられること、従来のシリコンプロセスになじみやすいことからモリブデンシリサイドが望ましい。ところで、バリア層があまり薄いとシリコンが拡散してくるため、主耐圧歩留まりが低下する。図3は、モリブデンシリサイドの厚さと主耐圧歩留まりの関係を示したものである。モリブデンシリサイドの厚さが600オングストローム以上で主耐圧不良が0になっている。これより、バリア層としてモリブデンシリサイドを使用する場合600オングストローム以上必要である。

【0010】図4は、本発明の半導体装置をモジュールに組んだときの例である。絶縁板50上にはコレクタ配線51、エミッタ配線52、ゲート配線53が設けられている。コレクタ配線51上にはチップ60が設けられ、コレクタ配線51と図には現れていない裏面電極を通じてコレクタが接続されている。チップ60表面にはゲートパット40が設けられ、さらに導通領域は保護膜が部分的に取り除かれエミッタパット41が設けられている。ゲートパット40とゲート配線53はゲートワイヤ31により、またエミッタパット41とエミッタ配線52はエミッタワイヤ32により接続されている。従来は、あまり強い力でワイヤをボンディングするとシリコン残さによるクラックで不良が多発するため、弱い力でつけていた。本発明の半導体装置ではシリコン残さがな

いため、従来より強い力でボンディングできるためワイヤに電流を繰り返し加えたときワイヤがはがれるまでの寿命を延ばすことができる。

【0011】図5は、本発明の半導体装置を使って構成したモータ駆動用インバータ回路の例を示す。図面の記号では半導体装置は1個しか示していないが、大電流を流すため、複数個の半導体装置が並列に接続されている。半導体装置200には逆並列にダイオード201が接続されており、半導体装置が2個直列に接続され1相が形成されている。半導体装置が接続された中点より出

力がでており、モータ206と接続されている。上アーム側の半導体装置200a, 200b, 200c, 200dのコレクタは共通であり、整流回路の高電位側と接続されている。また、下アーム側の半導体装置200d, 200e, 200fのエミッタは共通であり、整流回路のアース側と接続されている。整流回路203は、交流202を直流に変換する。半導体装置200は、この直流を受電し、再度交流に変換してモータを駆動する。上下の駆動回路204, 205は、半導体装置のゲートに駆動信号を伝え、所定の周期で半導体装置をオン、オフさせる。本発明の半導体装置を組み込んだモジュールではワイヤに電流を繰り返し流したときワイヤがはがれるまでの時間が長くなるので、インバータの信頼性を向上させることができる。

【0012】

【発明の効果】純粋なアルミニウムを使用することによりシリコン残さをなくすることができる。これによりワイヤボンディング時に発生するクラックを防止できワイヤボンディング時の歩留まりを向上できる。さらに、バリア層によりシリコンがアルミニウムに拡散しp n接合が破壊するのを防止できるため、従来と同等の主耐圧歩留まりが得られる。

【図面の簡単な説明】

【図1】従来例。

【図2】本発明の実施例。

【図3】モリブデンシリサイド厚と主耐圧不良の関係。

【図4】本発明を使用したモジュール。

【図5】本発明のIGBTを使ったインバータ回路。

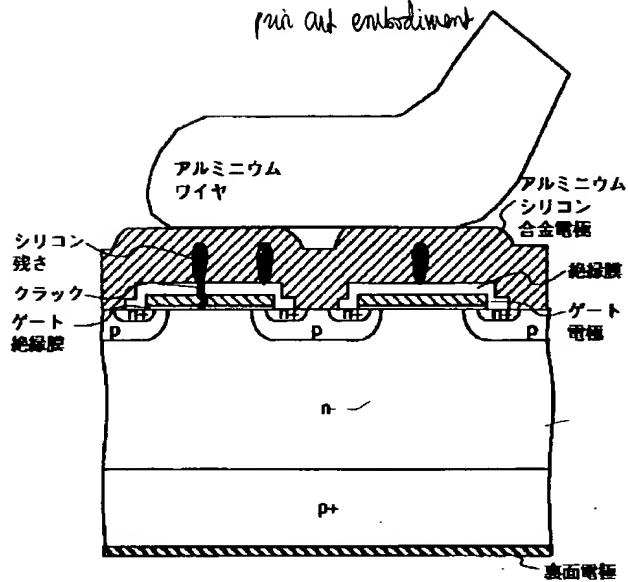
【符号の説明】

1...n⁻層、2...p層、3...n⁺層、10...ゲート酸化膜、11...ゲート電極、12...絶縁膜、20...純粋なアルミニウム、21...バリア層、30...ワイヤ、31...ゲートワイヤ、32...エミッタワイヤ、40...ゲートパット、41...エミッタパット、51...コレクタ配線、52...エミッタ配線、53...ゲート配線、60...チップ、200...IGBT、201...ダイオード、202...交流電源、203...整流回路、204...上アーム駆動回路、205...下アーム駆動回路、206...モータ。

【図1】

図 1

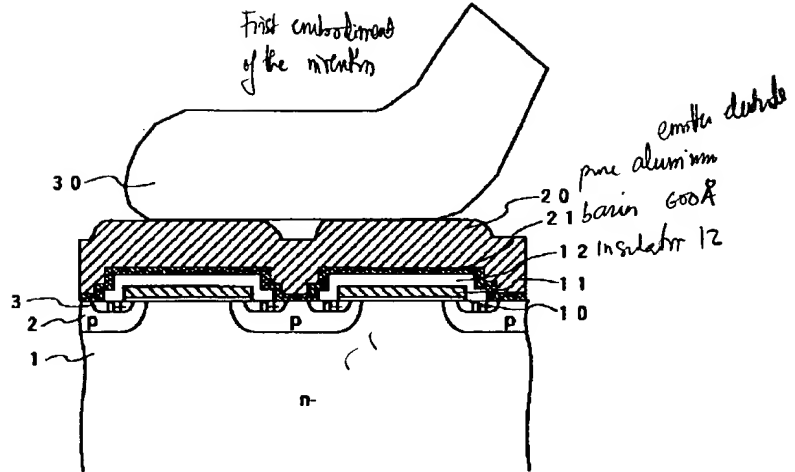
pull out embodiment



【図2】

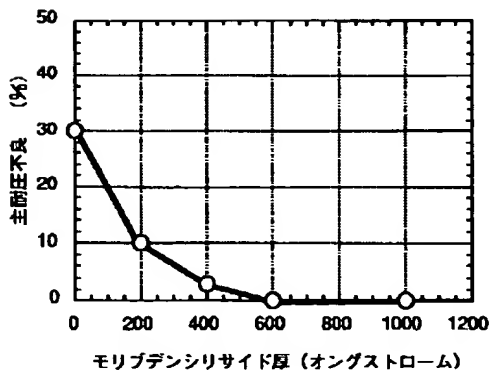
図 2

First embodiment of the invention



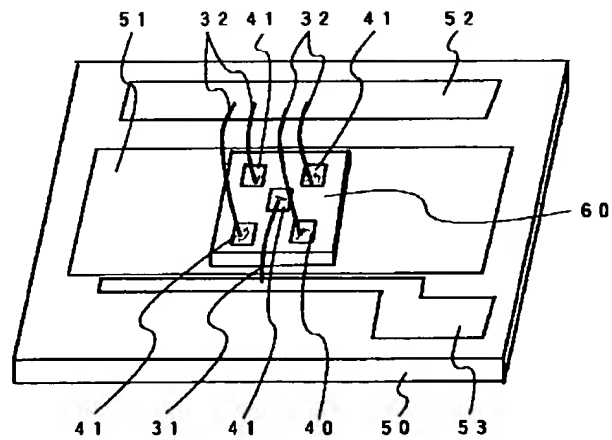
【図3】

図 3

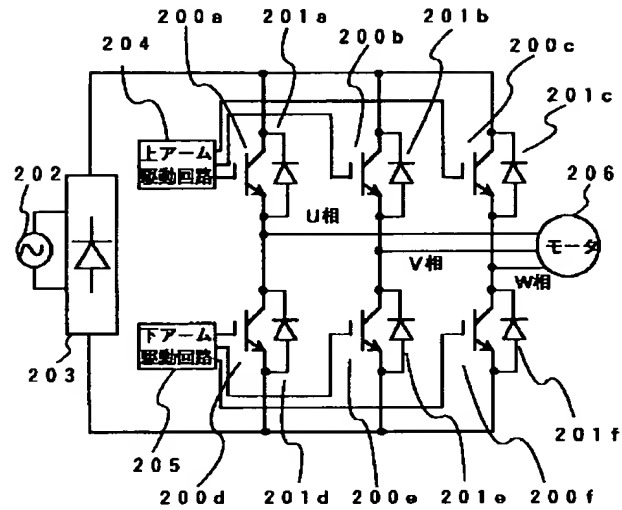


【図4】

図 4



5



(72)発明者 石田 泰基
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 森 睦宏
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内